This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):



BLACK BORDERS

- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- (•) BLACK OR VERY BLACK AND WHITE DARK PHOTOS
 - GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

(ISTERNA () P)

灬公開特許公報 🔥

(1)19月二年公司 C R

特開平8-125066 (())公帐日 年式をE (1996) SA17日

(\$1) lat Cl. "

互別記号 作内复理器号

FI

在的表示电路

NOIL 23/12

13/21

1 6921-4E

#01f 13/13

書堂歴末 条数本 非未集の数4 FD

(11) 出血多年

MM#6-284536

(12) 比爾日

平成6年(1994)10月26日

(11) 出版人 000002897

大多本的製器或食灶

要家庭旅馆区市省加京町一丁县 1 章 1 号

(72) 充务者 八木 石

京京区新度区市省北京町一丁目 1 名 1 号

大日本印制器式金过户

(72)兒県常 森田 道彦

京京位新森区市安加安町一丁四 1 年 1 号

大日本印制的区会社内

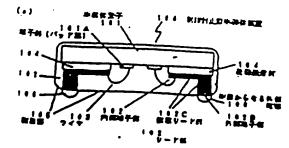
(74)代智人 穿着士 小苔 炒美

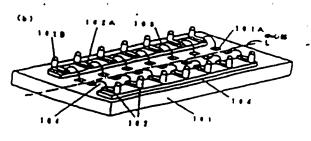
(54) 【見明の名称】推理制止型率原体基础とそれに用いられるリードフレーム。及び推路到止型率原体基礎の製造方法

(57) [量約]

【目的】 芝なる家庭財企証半端体制産の高点技化。 高 奴隷化が求められている中、卓温弁象型パッケージサイ ズにおけるテップの占枚率を上げ、平温体を置の小型化 に対応させ、食時に従来のTSOP耳の小型パッケージ に翻載であった変なる多ピン化を実装した数数列止型学 据体据报告提供下令.

【以底】、中部放棄子の菓子製の裏に、中間放棄子の第 子と電気的に過程するための内部展子部と、中華体質子 の種子側の超へ巨交して外部へと向く外部音響への頂点 のための外部組予察と、奈兄内部電子等と外部電子等と を選配する住蔵リード値とも一体とした狂気のリード部 とも、絶象性な材度を介して、確定して収けており、点 つ、動物高低等への実験のための平田からなる外部電信 そ前記社会の各リードの力を電子思に達益させ、少なく とも森記を思からなう方式な匠の一部に放放器より外部 に異出させて赴けている。





【以下はまの人匠】

【结束集】】 半果体素子の菓子のの匠に 二番体素子 の電子と変素的には異てらたのの内を双子見て、半点化 女子の女子町の匠へ正交してためへと向くたま回答への 住民のための外部電子部と、心記内が電子製と外は電子 越とを選ねずるは沢リードボとも一体としたリード無モ 在公司、北京ななお用モ介して、ピロしてなけており、 - 直つ、回用基低等への実まのための4年からなる方面会 匿を利花は盆のをリードの外出せ子紙に連ねさせ、少な くとも応記年田からなる方式を任め一名にお及配より方。16、方面数子製匠に平田からなる方式を指えばませる工作。 銀に肩出させてほけていることを以及とてる単語が止急 非误称 么怎。

【建水原2) - 建水原1において、半端食泉子の以子は 半温はま子の以子匠の一只の辺の耳中心を貫上にそって 配置されており、リードがはな女の様子を乗りように対 内し向記一対の辺にないかけられていることを共産とす 5世级到止型牛进体员医。

【経球項3】 年度は至子の双子と電気的にひ見てるた めの内部双子部と、か思厄耳と住民するための5別双子 部と、原足内型電子部との登录子数とも選及する指数リー10 一ド部とを一体とし、33分割以子割を、12款リード型を かして、 リードフレーム面から区交する一方向的に交出 をせ、対向し先は原用士で選は都を介しては其下5一分 り内部電子包を攻撃なけており、立つ、るのを雇子量の 5.朝で。ほぼり一ド郎と並なし、一年として全年を保持 Fる外に配を立けていることをM走とするリードフレー

【森太塚() 本道体気子の菓子畝の都に、本道体象子 1億子と党気的に延続するための内部減予群と、年後は 子の親子側の面へ星交してか祭へと向くが都座祭への 20 政のための方征以下部と、北北内部は子配と方思維子 . とそ意味するは吹りード部とも一年としたな色のリー 鮮とモ、心味性をおおモ介して、ほきしてなりてお . 旦つ、匠部基ゼ年への実衣のためのギ田からなられ 章甚を収記放散のおり一ドの外部は子供に連絡をせ、 なくとも母兄年田からなるの意見塔の一郎は智慧部と 外部に高出させて及けている複数対止効率組合を置め **見万差であって、少なくとも、(人)エッテングDI** で、単帯体象子の電子と元気的にに共するための内容 子祭と、外部回答と住成するための外名似子名と、代 (4) 7部銀子部とガロは午的とモ連用する技术リード的と 一体とし、双外部に子似を、び及り一ド化を介して、 - ドフレーム面から反交する一万氏的に只比させ、ガ - 先蔵部版土で連絡館モ介して世間する一対の内閣は 『毛紋丘広けており、且つ、もれ蘇和子郎の九条下。 1.リード蘇と連絡し、一年として全年モ兵万十ら九万 及けているリードフレームモルロナる工せ。(B) (リードフレームの外型電子部割でない面(音楽)に :好を設け、打ちはき金型により、打肉する内質電子

けられた地景化とそれちばず、リートフレームの代をは かれた武分が平台は3字の第三部にくるようにして、兵 経度単れもかして、リートフレーム文件を中心は立てへ なむする工程。 (C) リードフレームの方の気を含む不 星の駅分を打ちはさま型によりの飲料金下る工程。

:

(D) 年高年忠子の立子訳と、切断されて、そのはま子 へ信息された内閣は子説の先は飲ともワイナボンディン グしたほに、形容によりが区域子似区のみもの区に真出 マヴェキはそれにより工程。 (E) だおどれになかした とも含むことを中国とする年度民産を含むな母のなる 3 G.

【見明の打組な広味】

100011

(建震上の利用分針) 本民歌は、中華ルを子モルを下る 御舞到止型の単点な状況(ブラステックパッケージ)に 異し、異に、女は正広も向上でで、立つ、ませン化に力 応できらず温度は置とその料理方法に成てる。 100021

【従来の技術】近年、半課女を定は、不真様化、小型化 住所の進歩と電子推計の基性軟化と見得更小化の傾向 (角度) から、LSIのASICに代表されるように、 ま丁ま丁本章状化、本世氏化になってきている。これに 戻い。 リードフレーム モ無いた対止型の半点はまなブラー ステックパッケージにおいても、その庶兄のトレンド M. SOJ (Small Outline)-Lead ed Package) PQFP (Quad Flat P.ライヤ FEE) のような意思実装型のパッケージモ 程で、TSOP (Tin Small Outline Package) の以発による双型化モ王雄としたパ ッケージの小製化へ、さらにはパッケージ内側の3 太元 化によるテップを約30年由上を目的としたLOC(Le ad On Chip) の鉄道へと進度してでた。しか し、複写対止型単端体制度パッケージには、不良性化、 本義美化とともに、更に一度の多ピン化、存型化、小型 化が求めらており、上記書乗のパッケージにおいてもチ ップル南部分のリードの引き回しがあるため、パッナー ジの小裂化に離界が見えてきた。また、TSOP4の小 夏パッケージにおいては、リードの引き回し、ピンピッ テからタビン化に対しても揺れがええてまた。 100001

【見明が解決しようとする無難】上記のように、異なる **毎春鮮止型牛卓弁皇親の高泉社化、戸後誌化が求められ** ており、歓迎対止型牛組は名意パッケージの一層の多ピ ン化、展型化、小型化が求められている。ま発味は、こ のような状況のもと、 本語食名量パッケージサイズにお けるテップのる女子を上げ、中語は私屋の小型化に対応 させ、田馬高低への文献版技を低減できる。おち、田井 生毛症成する遺秘部と江道起来に対応する症象になった。 申請你禁煙を投票しようとするものである。また、所称 革成への実験を依を向上させることができる旅程別止力

に世界の子SOP町の小型パッケージに密発であった更 なる多ピン化も実現しようとするものである。 100041

(は冠を居民するための手段) 本兄弟の東京対止要する **体製量は、年高体系子の粒子側の面に、半高体素子の識** 子とな気的に発致するための内側電子部と、半端体盤子 の双子前の節へ正文して弁算へと向く弁算を持への推定 のための外部被子以と、叔妃内部属于最と外部被子訓と モ産等する技技リード似とモー体とした社会のリード部 つ。色質基度与への変なのための半日からなる方式を感 を刷込在女の各リードの力量基子単に基礎をせ、少なく とも衣花を田からなる外側を包の一部は製食をより外部 に裏出させて立けていることも異思とするものである。 南。 上記において、内部電子器と外部電子器とモー体と したな数のリード部の配列を中枢を基子の電子創価上に 二次元的に配列し、力料党星机モキ出ポールにて形成す SCEELDBOA (Ball Crid Arts y) タイプの形在野比型半端は8ほとすることもでき

【0005】そして、上記において、中華体象子の菓子 は半級作品子の親子節の一対の辺の耳中心都禁上にそっ て配位されており、リード似は富良の電子を挟むように 対向し収記一対の辺に沿い並けられていることを負担と するものである。また、ま食味のリードフレームは、飲 蘇針止型半導作以世界のリードフレームであって、半線 体裏子の電子と電気的に基準するための内部電子群と、 外部国路と世紀するための外部電子型と、 彩記内閣電子 部と外部属予部とモ連は下るは取り一ド部とモー体と し、ほお似な子弟モ、は親リード部を介して、リードフ レーム菌から貧交する一方向銀に交出させ、分向し先輩 製筒士で連絡部を介して世式する一対の内似年子祭を及 象益けており、 点つ、 6 外部電子部の外側で、 ほ故リー ド部と連絡し、一体として全体を保持する方の部を設け ていることを共ほとするものである。点、上足リードフ レームにおいて、内部電子部と外部電子部とそれを基础 するほぼリード部とモー体とした基みを放放リードフレ ーム部に二次元的に紀元するしておよすることによりB CA (Ball Crid Array) 9470ER 対止整平端体を意味のリードフレームとすることもでき 8.

【0006】本兒県の飲食計止収半毎年収益の製造方柱 は、中国作業子の菓子例の製に、早年は菓子の菓子と見 気的に复設するための内部並干部と、年高年度子の能干 朝の省へ位交してお思へと向くお多意味へのは歳のため の外部位子部と、以記内部基子部と外部総子部とを基格。 する後属リード部とモー你とした発表のリード部とモ、 純粋技者料剤を介して、 数写して記けており、 立つ、 修 発品質等への実生のための平田からなるが高を見る状況 複数の各リードののはは千年に可ロフォールのノンチの い

兄も色からなるの意で色の一名に変ねおよりのだくな。 させて低けている前負打止気を組み来至の料え方はです って、少なくとも。(A)エッチング加工にで、 a 誠 u ま子のオチと名気的に以降するための内部電子 話と、方 部価等と発現するための外に発子部と、 和紀内部放子部 と外収点子配とを選びても方式リード配とを一年とし、 盆の鮮森子郎を、日政リード献も介して、 リードフレー ム面から正文でろー万円的に昇出させ、 月回し 先輩 配筒 主て書具舞を介しては尽てる一月の内見双子 釘毛 材料 賞 とで、蛇紋は寒朮厚を介して、眩撃して丘けており、夏(10)けており、夏つ、るれば放子柱の丸数で、豚尻リート部 と意思し、一年どして全年を成所する力や死を立けてい るリードフレームモル製工る工程。(8) R足リードフ レームの万名及子芸製でない節(五匹) にぬ意 月を収 け、打ち以を金型により、対向する内閣総子郭興士を及 数する基本部と共産は単に対応する位在に設けられた地 中午に七月5ほぞ、リードフレームの打ちほかれた部分 が年祖は黒子の菓子包にくるようにして、収記作者おも 介して、リードフレーム全体も半温はエテベル数でる工 権。 (C) リードフレームの力や却もさむ不复の部分モ 打ちなを全型により切断的生する工程。 (D) 平域体象 子の電子民と、切断されて、キ塩井京子へは歌された内 延継子型の先輩部とモワイヤボンデイングした後に、 網 雄により外部様子部部のみそ外部に向出させて全体を封 止する工程。(E)教記がおに貫出した外部電子製造に 平田からなる外部電気を作製する工食。とそさむことを 特殊とするものである。

100071

30

【作用】ま尺寸の放弃対止気を選件を促は、上記のよう な状成にすることにより、半年4女優パッケージサイズ におけるテップの占す事を上げ、中華女を足の小型化に 対応できるものとしている。から、半年月女皇の田井基 底への食息を放毛症状し、巴馬る底への食気を皮の向上 を可能としている。打しくは、内閣総子献、外部総子部 とモー弁とした甘食のリード側を半年体室子部に始級技 らったマガレで簡定し、お記力器電子部に平田からなる 外部電信部を延載させていることより、名間の小型化を 量成している。そして、上記4世からなる外部電極部 を、中華食食子面に料不力な多で二次元的に配表するこ とにより、98888の多ピン化を可能としている。 ホ 日からなる方式を包含モキロボールとし、二次元的には 外部電極部を配換した場合にはBGAタイプとなり、 中 経体基準の多ピン化にも対応できる。また、上記におい て。中華体系子の菓子が申请はま子の菓子部の一分の辺 の時中心部界上にそって記憶され、リード部は複数の類 子を乗むように対向し収配一分の辺に沿い及けられてお り、魔事な暴進とし、意思性に誰した表達としている。 本党界のリードフレームは、上足のような妖妖にするこ とにより、上記製在料止型の製造を収録して可能とす るものであるが、過まのリードフレームと異なのエッチ

とがてもら、本見経の世界戸止気平点に名乗の取れ方法: は、上花リードフレームも思いて、リートフレームの力 気以子幹のでない面(五面)に見及りを広げ、打ちはま 重要により、 対向する内部成子起向士を展展する温度量 とは連絡駅に対応する位置に立けられた光量材とそれら 住き、リードフレームの打ちはかれた部分が年後は京子 の端子訳にくるようにして、幻花は単材を介して、リー ドフレーム全はモギ軍は菓子へ厚虹し、リードフレーム の外や訓モ合む不多の記分を打ちはも必要により切断的 去することにより、内部之子とガロ母子を一片としたは、10 Mにほれてきろしのである。まま場所においてはカ**が**を ろモダロキスな久は上にななした。 七尺 味の、ギスはま 長の小型化が可能な、且つ、多ピン化が可能な無線針止 製半導化基屋の作品を引取としている。

[0008]

【実施例】本見朝の単設計止型半級作品区の実施例を以 下、日にそって京明下ろ、日1(2)は工芸芸的展立的 止型キ基体気管の断定数は区であり、殴((b)は食量 の森状をである。毎1中、100は原設打止業年本は以 確、101は年末は二子、102にリード点、102A リード部、101Aに双子郎(パッド郎)、103ほつ イナ、104は地位は石村、105に包草原、106は 半日(ペースト)からなるのなな低である。 士夫友判据 蘇野止型半端体盤産は、最近するリードフレームを無い たもので、内部竣子部102人、力部電子部102Bモ 一体としたし千型のリード部107モ多数年30年32年1 0.1上に地球性程材10<モ介して存収し、息つ、方部 数子割1028先に7田からなるが低を低を形な割10 5 より丸葉へ突出させて立けた。パッケージを住が耳を 選件学長の面接に接当する形成打止型手名は基金であ り。回覧基底へ広載される点には、半田(ペースト)を 応称、他化して、カジ電子系I02Bが外裏圧発と電気 的比较级老九名。本文指表的双射业型丰富并显著过、数 1 (b) に示すように、中枢在ま子 | 0 | の電子部 (A ッド部)101人は牛客な菓子の中心はしはそろれ向し て2回づつ。中心無しに行って配慮されており、リード 質1020、内部級子部102人が肩記載子部(パッド 益)に思った位置に半年後表子(り)の面の方例に中心 **りを飲み対向するように収載されている。の以及予以)** 0 2 3 は内部雑子数1 0 2 人から従戻リード部1 0 2 C (6) を介して利れて意味し、ほぼ年本の水子の飲息までに並 - た位配で半退体を子面に位欠する方向に、 豚属リード 1020がレギに色がり、外質は子思1028はその先 ■に収置し、年級兵皇子の節に平方な臣方内で一次元的 :配列をしている。かち、中心はしそ求みで刃の方状況 ¹器102日の配列を設けている。そして、8カビ以子 『仁蓮越させ、平田(ベースト)からなるガゴモ低10 ・毛朝理部105よりが目に点出させて思けている。 1、絶絶復奪材104としては、100ヵm年のポリイ

F黑的熱可型性所有取出M 1 2 2 C(B立作成出区会)10

• . .

と玄) そ思いたが、他には、シリコンズのボリイミ ドリ TA1715(日本ペークライト株式を仕)や料理化会 及其见HC52C0(色州祭总员长金红双臂) 医加加性 げられる。上花芸花色では、 本田ペーストからなる外部 幸越であるが、この気分は半色ボールに代えても良い。 周、本天先的希提到止気率減作な思ば、上足のように、 パッケージをながお平るな名をの正性に投資する。心は 的に小型化されたパッケージであるが、食み方向につい ても、私)、0mm歩以下にすることができ、R室も向 長まも、4点件サ子の双子数(パッド例)において対に 紀共したが、中華体象子の電子の位在モニよ元的に配位 し、大意電子部と外部電子製との一体となった基みを注 食。 本語な虫子の 電子を制に二次元的に配表して存立す ることにより、本点は太子の、一種の多ピン化に十分対 ETES.

【0009】 広いて、本見県のリードフレームの玄花舎 モミげ、名にもとづいて武祭でる。 本芸名のリードフレ 一ムは、主記実施会学選択全区に思いられたものであ は内型双子型、1028に方式双子型、102Cに住民(10) ろ。Q2に実現例リードフレームの午座配を示すしの で、割2中、200はリードフレーム、201は六年章 子馬、202ほが都無子忌、203ほぼ及リード部、2 0.4は盆は多、2.0.5 ほのたまである。 リードフレーム は428乗(Ni42%のFc8乗)からなり、リード フレームのなさは、内部総子部のある発売的です。 0.5 mm。力度は千葉のある厚果医でり、 2 mmである。A 蘇維子郎の対向する先輩を民士を連続する道路部205 も召内(0、05mm厚)に形式されており、徒盗する 本部件状況も行製する誰の打ちはき金型にて打ち止きし 30 まい製造となっている。本実元例では外部位子供202 は九伏であるが、これに産業はされない。また、リード フレームまりとして428全を思いたがこれに見せるれ ない。展示さまでも良い。

【0010】以に、上記言篇例リードブレームの製造方 凡を聞を思いて京年に改明する。 都々は本賞其代リード フレームを製造した工程を示したものである。えて、4 2 8金(N 1 4 2×のFe 8金)からなる。厚を0. 2 mmのリードフレーム意質300を印度し、低の出版を 放身等を行いれての片如灌した(即之(a)) 仕、リー ドフレームをは300の概念に感光性のレジスト301 モ虫ポレ、吹蝉した。(回り(b))。

太いで、リードフレーム 無は300の 無反から所定のパ ケーン草を乗いてレジストの糸足の武分のみに蘇北を行 った後、秋日松登し、レジストパターン301人をお兵 LR. (83 (c))

典レジストとてしば東京応応募式会社会のキガ製技状レ ジスト (PMEKレジスト) も世界した。次いで、レジ ストパクーン3 0 1 Aモ刷部触せ禁として、 5 7 ° C . 4.8 ボーメのぜた第二条水井単にて、リードフレーム会 「何300の概反からスプレイエッチングして、 わわむ は

の本面区が図でに示されるリットフレーニをはなした (E3 (c)). E2 (b) OE. E2 CA) - A2 C おける必要なである。このは、レジストをお願したほど 氏井処理を取したは、原之の世界(内部以子配分を含む 体域) のみに全メッキを見を行った。(配3(e)) 曲、上記リードフレームの普通工法においては、図 2 (b) に示すように、なた私とは未都も形成するため、 力部帯下形成面倒からのエッテング (女社) を多く行 い、反対症的からは少なのにエッチング (女社) モ行っ た。また、セメッキに代え、様メッキやパラジウムメッ(1)、裏の半田が構られれば良い。 キでも長い。上足のリードフレームの口込方共は、1ヶ の牛連ん気器を攻撃するために必要なリードフレーム! グの製造方法であるが、選末は生産性の色から、リード フレーム無はモエッテングのエナる雄。四2にポナリー ドフレームを複数層部付けした状態で作製し、上記の工 姓を行う。この場合は、回2に示すれた第205の一家 に選邦する仲群(包糸していない) モリードフレームの ガ 何に立けて何 付けせせとする。

【0011】本に、上足のようにして作者されたリード フレームを無いた。本見明の指揮対止型半温体を産の数 18 道方はの実施例を配にそって放射する。包4は、北京施 郵配箱対止型や導体器器の製造工性モデナものである。 聞きに示すようにしてか包されたリードフレーム400 の外部電子部402形式節(豊富)と対向する意思に、 ポリイミド系熱理化質の発量性関抗(ナーブ)401 (日立化式株式会社製、HM]22C) を、400° C. 6 Kg/m' で1. 0 か充圧をして以りつけた (型 4(a))。この状態の平面回を盛らに示す。このほび 5年20型405A、4058にて(図4(b))、月 南丁省内部減子部の先輩祭を選結する選及型403と、 その部分の絶替さなは(テープ)(0)とそりちばい た。 (図4 (c))

大いて、おわりちはとおよび丘を用を型(06人、40 6 日モ県い、九ね貫404そさむ不复の記分を切り起す 「(翻4(d)) と取時に、延祉技事は404モ介して本 蒋仲県子407上にリード郎408の島圧号を行った。 (着4 (e))

角。この数4(d)に示す。作品リードと基础してリー ドフレーム企体を文人でいるのだ3204を含む不質の 部分を切り難しは、智力対比したほにけっても良い。こ (6 の場合には、送水の草屋リードフレームを吊いたQFP パッケージキのようにダムバー (B示していない) モゴ けると良い。リードは410モエスドネティ11へ反転 した彼。ワイヤー414により、###黒子の菓子(パ TH) 411ACU-F#4100MIEF410AC を電気的に延禁した。(B4(1)) その後。所定の食型を吊い、エポキシネの智な415で

リード部410の力を位子が4108のカモ点出させ て、全井を封止した。(節4(g))

ここでは、異角の主型(日示していない)を思いたが

死文の面(外部電子部)も含む部度が成てされば、デエ しもを繋ばる 長としない。 次いで、 兵士 されているの氏 ロ子郎4108上に年田ペーストモスクリーン印制によ り生不し、半田(ペースト)からなられれる様も16モ 作製し、本見紙の製物対入止型半端作品度を作製した。 (B4 (h))

鳥。年田からなる方式を貼る16の作者に、スクリーン 印刷に確定されるものではなく、リフローエだはポッチ イング等でも、回路基底と半端は名葉との形成に七度な

[00121

【発明の弘杲】本発明は、上記のように、夏々ら初辞賞 止型年基本装置の基金性化、高量能化が求められる状況 のもと、中語体象量パッケージサイズにおけるテップの 古有知を上げ、平道作品意の小型化に対応をせ、国知品 低への女な節なを症状できる。から、回答益低への女女 芒広を向上させることができる温は彗星の技気を可能と したものであり、保料には息のTSOP年の小型パッケ ージに個質であった更なる多ピン化を実現した製作対止 型半球体以及の世界も可能としたものである。

【四面の原準な数据】

【節1】実施例の複雑別入変単編作数度の振耳が衝回及 び重単元以四

【韓2】 其英何のリードフレームの年版図

【図3】 大気外のリードフレームの製造工会会

【聞る】実施例の解除対止型を複雑整度の製造工製図

【回5】 実質的のリードフレームに絶及技能 材を知りつ けた状態の革命体

【符号の説明】

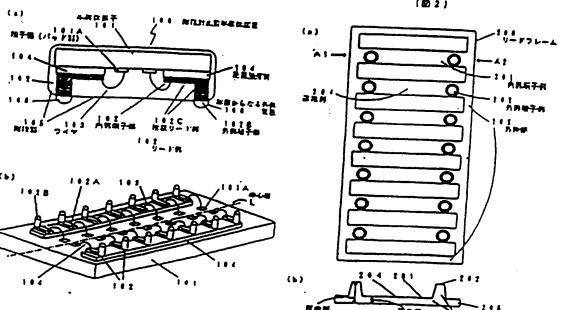
. . . .

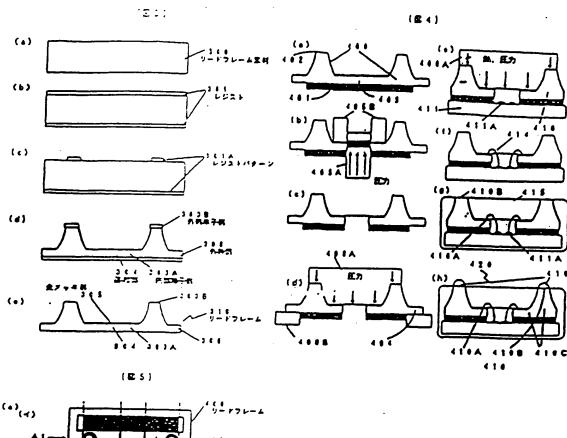
| 0 100 | 机动动作图卡纸 体 款 医 |
|---------|-----------------|
| 101 | . 单端作象子 |
| 101A | 電子部 (パッド部) |
| 102 | リード書 |
| 102A | * PERTE |
| 1 0 2 B | 外部除产品 |
| 102C | かまりード部 |
| 103 | 714 |
| . 104 | 地里以来以 |
| 105 | . MAR |
| 106 | 平田(ベースト) からなるガギ |
| SH | |
| 200 | ソードフレーム |
| 201 | 内部推予部 |
| 202 | 力 部 能 子 部 |
| 203 | ひだりード島 |
| 204 | 温 森縣 |
| 2 0 3 | 7 P E |
| 300 | リードフレームまれ |
| 3 0 1 | 6.02 % |

| | • | | " - T • - : 2 5 0 6 è |
|---------|-------------------|------------|-----------------------|
| 3 0 3 A | 内部架子的 | | 10 |
| 3038 | रः ४. च ÷ छ. | 405A. 405E | 11502E2 |
| 3 0 4 | a n s | 406A. 406B | ただいらはもおよりに本用を型 |
| 305 | まメッキ版 | 4 1 0 | リード型 |
| 3 0 6 | 7. D. II | 4104 | 内似是子童 |
| 400 | リードフレーム | 4 1 0 B | 外别双子就 |
| 401 | た品質をは(テープ) | 4 1 0 C | 推薦リード部 |
| 4 0 2 | ためはそれ (テープ) | 4 1 1 | 华祖作业子 |
| 4 0 3 | "多·明·丁斯 是 森 \$ | 4 1 1 A | 21t- |
| | € 44 8 0 | 4 1 5 | er n |
| | • | | · · |

(61)

(2 2)





Japanese Patent Laid-Open Publication No. Heisei 8-125066

[TITLE OF THE INVENTION]

Resin Encapsulated Semiconductor Device, Lead Frame

5 Used Therein, and Fabrication Method for the Resin
Encapsulated Semiconductor Device

[CLAIMS]

15

20

- A resin encapsulated semiconductor device
 comprising:
 - a semiconductor chip;
 - a plurality of leads fixedly attached to a terminalend surface of the semiconductor chip by an insulating
 adhesive interposed between the semiconductor chip and the
 leads, each of the leads including integral portions, that
 is, an inner terminal portion adapted to be electrically
 connected to an associated one of terminals of the
 semiconductor chip, an outer terminal portion extending
 outwardly in a direction orthogonal to the terminal-end
 surface of the semiconductor chip and adapted to be
 connected to an external circuit, and a connecting lead
 portion adapted to connect the inner and outer terminal
 portions to each other; and
- outer electrodes each connected to the outer terminal portion of an associated one of the leads and made of

solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a resin encapsulate.

- 2. The resin encapsulated semiconductor device according to claim 1, wherein the terminals of the semiconductor chip are arranged along a substantially center line between a pair of sides of the semiconductor chip on the terminal-end surface of the semiconductor chip, and the leads are arranged in two facing sets along the sides of the semiconductor chip, respectively, in such a fashion that the terminals of the semiconductor chip are interposed between the two facing lead sets.
- 3. A lead frame comprising:

20

- a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other;
- each of the outer terminal portions of the leads
 being protruded in a direction orthogonal to a lead frame

surface via an associated one of the connecting lead portions;

the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively;

5

10

15

20

25

a the same was a second

connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs; and

an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form an integral structure together, thereby protecting the entire portion of the lead frame.

4. A method for fabricating a semiconductor device including a semiconductor chip, a plurality of leads fixedly attached to a terminal-end surface of the semiconductor chip by an insulating adhesive-interposed between the semiconductor chip and the leads, each of the leads including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of the semiconductor chip, an outer terminal portion extending outwardly in a direction orthogonal to the terminal-end surface of the semiconductor chip and adapted to be connected to an external circuit,

and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; and outer electrodes each connected to the outer terminal portion of an associated one of the leads and made of solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a resin encapsulate, comprising the steps of:

5

10

15

20

25

(A) fabricating a lead frame including a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other, each of the outer terminal portions of the leads being protruded in a direction orthogonal to a lead frame surface via an associated one of the connecting lead portions, - the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively, connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs, and an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form

4

an integral structure together, thereby protecting the entire portion of the lead frame;

- (B) applying an insulating layer to a surface of the lead frame opposite to the outer terminal portions, punching out the connecting portions adapted to connect facing ones of the inner lead portions to each other along with portions of the insulating layer respectively arranged at regions corresponding to the connecting portions by use of punching dies, aligning the punched portions of the lead frame with the terminals of the semiconductor chip, and mounting the entire portion of the lead frame on the semiconductor chip by the adhesive interposed therebetween;
- (C) cutting off unnecessary portions of the lead frame including the outer frame portion by use of punching dies, thereby removing the cut-off portions;
- (D) wire-bonding the terminals of the semiconductor chip with tips of the inner terminal portions mounted on the semiconductor chip, and encapsulating the semiconductor chip and the lead frame by a resin while allowing a surface of the lead frame toward the outer terminal portions to be externally exposed; and
- (E) forming outer electrodes made of solder on the exposed lead frame surface toward the outer terminal portions.

20

5

10

15

[DETAILED DESCRIPTION OF THE INVENTION] [FIELD OF THE INVENTION]

The present invention relates to a resin encapsulated semiconductor device (plastic package) in which a semiconductor chip is packaged, and more particularly to a semiconductor device configured to achieve an improvement in mounting density or to have a multi-pinned structure and a method for manufacturing such a semiconductor device.

10 [DESCRIPTION OF THE PRICE ART]

5

15

20

25

Recently, semiconductor devices have been developed to have a higher integration degree and a higher performance by virtue of developments of techniques associated with an increase in integration degree and miniaturization and in pace with the tendency of electronic appliances to have a high performance and a light, thin, simple, and miniature structure. A representative example of such semiconductor devices is an ASIC of LSI. For instance, developments of resin encapsulated semiconductor device plastic packages have been advanced from surfacemounting packages such as SOJs (Small Outlined-Leaded Packages) or QFPs (Quad Flat Packages) to packages having a miniature structure mainly achieved in accordance with a thinness obtained by virtue of developments of TSOPs (Tin Small Outline Packages) or to LOC (Lead On Chip) structures

adapted to achieve an improvement in the chip packaging efficiency by virtue of developments of an internal threedimensional package structure. In addition to an increase in integration degree and improvement in performance, there has also been growing demand for an increase in the number and miniaturization pins, thickness, of of encapsulated semiconductor packages. In the above mentioned conventional packages, however, there is a limitation in miniaturization because those packages have a structure in which leads are arranged around a chip. Similarly, leads are arranged around a chip in the case of miniature packages such as TSOPs. In such packages, there is also a limitation in increasing the number of pins due to the pin pitch used.

15

20

25

10

5

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

As mentioned above, there has been demand for an increase in integration degree and improvement in performance of resin encapsulated semiconductor devices. Also, there has also been growing demand for an increase in the number of pins, thickness, and miniaturization of resin encapsulated semiconductor packages. In such situations, the present invention makes it possible to increase the occupancy degree of a chip in a semiconductor package with a limited size while reducing the mounting area of the

semiconductor package on a circuit board to achieve a miniaturization of the resulting semiconductor device. That is, the present invention is adapted to provide a resin encapsulated semiconductor device capable of achieving an improvement in the mounting density thereof on a circuit board. Also, the present invention is adapted to achieve an increase in the number of pins which is difficult in miniature packages such as conventional TSOPs.

10 [MEANS FOR SOLVING THE SUBJECT STATTERS]

5

15

20

2.5

The resin encapsulated semiconductor device of the present invention is characterized in that it comprises: a semiconductor chip; a plurality of leads fixedly attached to a terminal-end surface of the semiconductor chip by an insulating adhesive interposed between the semiconductor chip and the leads, each of the leads including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of the semiconductor chip, an outer terminal portion extending outwardly in a direction orthogonal to the terminal-end surface of the semiconductor chip and adapted to be connected to an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; and outer electrodes each connected to the outer terminal portion of an associated one of the

leads and made of solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a resin encapsulate. The above semiconductor device can be embodied into a BGA (Ball Grid Array) type resin encapsulated semiconductor device by arranging a plurality of leads each having an inner terminal portion and an outer terminal portion integral with each other in a two-dimensional fashion on the terminal-end surface of the semiconductor chip and forming the outer electrodes in the form of solder balls.

The above semiconductor device is also characterized in that the terminals of the semiconductor chip are arranged along a substantially center line between a pair of sides of the semiconductor chip on the terminal-end surface of the semiconductor chip, and the leads are arranged in two facing sets along the sides of the semiconductor chip, respectively, in such a fashion that the terminals of the semiconductor chip are interposed between the two facing lead sets. The lead frame of the present invention is characterized in that it comprises: a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be

connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; each of the outer terminal portions of the leads being protruded in a direction orthogonal to a lead frame surface via an associated one of the connecting lead portions; the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively; connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs; and an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form an integral structure together, thereby protecting the entire portion of the lead frame. The above lead frame can be embodied into a lead frame for a BGA (Ball Grid Array) type resin encapsulated semiconductor device by arranging a plurality of leads each having an inner terminal portion and an outer terminal portion integral with each other in a two-dimensional fashion on the terminal-end surface of the semiconductor chip and forming the outer electrodes in the form of solder balls.

5

10

15

20

25

The present invention is also characterized by a method for fabricating a semiconductor device including a semiconductor chip, a plurality of leads fixedly attached

5

10

15

20

25

to a terminal-end surface of the semiconductor chip by an insulating adhesive interposed between the semiconductor chip and the leads, each of the leads including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of the semiconductor chip, an outer terminal portion extending outwardly in a direction orthogonal to the terminal-end surface of the semiconductor chip and adapted to be connected to an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other; and outer electrodes each connected to the outer terminal portion of an associated one of the leads and made of solder to allow the semiconductor device to be mounted on a circuit board, at least a part of the outer leads being externally exposed from a encapsulate, comprising the steps of: (A) fabricating a lead frame including a plurality of leads each including integral portions, that is, an inner terminal portion adapted to be electrically connected to an associated one of terminals of a semiconductor chip, an outer terminal portion adapted to be connected to an associated one of terminals of an external circuit, and a connecting lead portion adapted to connect the inner and outer terminal portions to each other, each of the outer terminal portions of the leads being protruded in a direction orthogonal to a

lead frame surface via an associated one of the connecting lead portions, the inner lead portions of the leads being arranged in pair in such a fashion that the leads of each lead pair have facing tips, respectively, connecting portions each adapted to connect the facing tips of the leads included in an associated one of the lead pairs, and an outer frame portion arranged outside the outer terminal portions and connected to the connecting lead portions in such a fashion that they form an integral structure together, thereby protecting the entire portion of the lead frame; (B) applying an insulating layer to a surface of the lead frame opposite to the outer terminal portions, punching out the connecting portions adapted to connect facing ones of the inner lead portions to each other along with portions of the insulating layer respectively arranged at regions corresponding to the connecting portions by use of punching dies, aligning the punched portions of the lead frame with the terminals of the semiconductor chip, and mounting the entire portion of the lead frame on the semiconductor chip by the adhesive interposed therebetween; (C) cutting off unnecessary portions of the lead frame including the outer frame portion by use of punching dies, thereby removing the cut-off portions; (D) wire-bonding the terminals of the semiconductor chip with tips of the inner terminal portions mounted on the semiconductor chip, and

5

10

15

20

25

The services of

encapsulating the semiconductor chip and the lead frame by a resin while allowing a surface of the lead frame toward the outer terminal portions to be externally exposed; and (E) forming outer electrodes made of solder on the exposed lead frame surface toward the outer terminal portions.

[FUNCTIONS]

5

10

15

20

25

With the above mentioned configuration, the resin encapsulated semiconductor device of the present invention can increase the occupancy degree of the chip while achieving a miniaturization thereof. That is, the resin encapsulated semiconductor device is capable of reducing the mounting area thereof on a circuit board and achieving an improvement in the mounting density thereof on the circuit board. In particular, the present invention achieves a miniaturization of the semiconductor device by fixedly attaching a plurality of leads each including an inner terminal portion and an outer terminal portion integral with each other to a surface of a semiconductor chip by an insulating adhesive layer interposed between the semiconductor chip and the leads, and connecting outer electrodes made of solder to the outer terminal portions, respectively. Also, the present invention achieves an increase in the number of pins in the semiconductor device by arranging the outer electrodes made of solder in a two-

dimensional fashion on a plane parallel to the surface of the semiconductor chip. Where the outer electrodes made of solder are formed in the form of solder balls and arranged in a two-dimensional fashion, a BGA type semiconductor device capable of achieving an increase in the number of pins can be obtained. In the above semiconductor device, the terminals of the semiconductor chip are arranged along a substantially center line between a pair of sides of the semiconductor chip on the terminal-end surface of the semiconductor chip, and the leads are arranged in two facing sets along the sides of the semiconductor chip. respectively, in such a fashion that the terminals of the semiconductor chip are interposed between the two facing lead sets. Thus, the semiconductor device has a simple structure suitable in regard to productivity. The lead frame of the present invention makes it possible to fabricate the above mentioned resin encapsulated semiconductor device by virtue of there above mentioned configuration thereof. However, this lead frame can be fabricated using a half etching method during an etching process as used for conventional lead frames. for fabricating a resin encapsulated semiconductor device in accordance with the present invention involves the steps of applying an insulating layer to a surface of the lead frame opposite to the outer terminal portions, punching out

5

. 20

15

20

25

the connecting portions adapted to connect facing ones of the inner lead portions to each other along with portions of the insulating layer respectively arranged at regions corresponding to the connecting portions by use of punching dies, aligning the punched portions of the lead frame with the terminals of the semiconductor chip, and mounting the entire portion of the lead frame on the semiconductor chip by the adhesive interposed therebetween, and cutting off unnecessary portions of the lead frame including the outer frame portion by use of punching dies, thereby removing the Thus, a plurality of leads each cut-off portions. including an inner terminal portion and an outer terminal portion integral with each other are mounted on a semiconductor chip. Accordingly, the present invention makes it possible to achieve a miniaturization of In accordance with the present semiconductor devices. invention, it is also possible to fabricate a resin encapsulated semiconductor device having an -increased number of pins.

20

25

15

5

10

[EMBODIMENTS]

Hereinafter, embodiments of the present invention associated with resin encapsulated semiconductor devices will be described in conjunction with the annexed drawings. Fig. 1A is a cross-sectional view schematically

illustrating a resin encapsulated semiconductor device according to an embodiment of the present invention. Fig. 1B is a perspective view illustrating an essential part of the resin encapsulated semiconductor device. Figs. 1A and 1B. the reference numeral 100 denotes the resin encapsulated semiconductor device, 101 a semiconductor chip, 102 leads, 102A inner terminal portions, 102B outer terminal portions, 102C connecting lead portions, 101A contacts (pads), 103 wires, 104 an insulating adhesive, 105 a resin encapsulate, 106 outer electrodes made of solder (paste), respectively. The resin encapsulated semiconductor device according to this embodiment is fabricated using a lead frame which will be described hereinafter. In this resin encapsulated semiconductor device, a plurality of L-shaped leads 102, each of which has an inner terminal portion 102A and an outer terminal portion 102 integral with each other, are mounted on a semiconductor chip 101 by means of an insulating adhesive 104. An outer electrode 106, which is made of solder, is attached to each outer terminal portion 102B. The outer electrode 106 is outwardly protruded from encapsulate 105. The resin encapsulated semiconductor device configured as mentioned above has a package area substantially equal to the entire area thereof. When this semiconductor device is mounted on a circuit board, the

5

10

15

20

25

solder is melted and then solidified to allow the outer terminal portions 102B to be electrically connected to an external circuit. In the resin encapsulated semiconductor device according to the illustrated embodiment, contacts (pads) 101A provided at the semiconductor chip 101 are arranged in pairs along a center line L of the semiconductor chip 101 at opposite sides of the center line L in such a fashion that contacts included in each contact pair face each other. The outer terminal portion 102B of each lead is spaced apart from the inner terminal portion Between the inner and outer terminal 102A of the lead. portions 102A and 102B; a connecting lead portion 102C is The connecting lead portion 102C of each lead interposed. is bent in a direction orthogonal to the major surface of the semiconductor chip at a position near an associated one of the side surfaces of the semiconductor chip 101, so that In each lead, the outer terminal it has an L shape. portion 102B is arranged at an end of the connecting lead The outer terminal portions 102B of the leads are arranged in a one-dimensional fashion on a plane parallel to the major surface of the semiconductor chip That is, the outer terminal portions 102B are arranged in two lines at opposite sides of the center line As mentioned above, one outer electrode 106 made of solder is connected to the outer terminal portion 102B of

5

10

15

20

25

each lead and outwardly exposed from the resin encapsulate

For the insulating adhesive 104, a polyimide-based thermoplastic adhesive having a thickness of 100 µm (HM122C manufactured by Hitachi Chemical Co., Ltd.) is preferably used. Alternatively, a silicon denaturalized polyimide adhesive (ITA1715 manufactured by Sumitomo Bakelite Co., Ltd.) or a thermosetting adhesive (HG5200 manufactured by Tomoekawa Papermaking Co., Ltd.) may be used. Although ou er electrodes made of solder paste are used in the illustrated embodiment, solder balls may be used.

5

10

15

20

25

mentioned above, the resin As encapsulated semiconductor device according to the illustrated embodiment has a package area substantially equal to the entire area thereof. That is, the illustrated embodiment of the present invention provides a package having a compact structure in regard to area. In accordance with the present invention, a thinned package structure can also be provided in that it is also possible to reduce the package thickness to about 1.0 mm or less. Although the outer electrodes have been described as being arranged in two lines along the contacts (pads) of the semiconductor chip, they may be arranged in a two-dimensional fashion. This is achieved by arranging contacts of the semiconductor chip in a two-dimensional fashion. On the surface of the

semiconductor chip arranged with those contacts, a plurality of terminal sets each having an inner terminal and outer terminal integral with each other are arranged in a two-dimensional fashion. In this case, it is possible to fabricate a semiconductor device using a semiconductor chip with an increased number of pins.

5

10

15

20

25

An embodiment of the present invention associated with a lead frame will now be described. The lead frame according to this embodiment is adapted to be used in the above mentioned semiconductor device. Fig. 2 is a plan view of the lead frame according to this embodiment. Fig. 2, the reference numeral 200 denotes a lead frame, 201 inner terminal portions, 202 outer terminal portions, 203 connecting lead portions, 204 a connecting portion, and 205 an outer frame portion, respectively. The lead frame is made of 42 ALLOY (namely, an Fe alloy containing 42% Ni). The lead frame has a thickness of 0.05 mm at its thinner portion, that is, the inner terminal portions, and a thickness of 0.2 mm at its thicker portion, that is, the outer terminal portions. The connecting portion, which connects facing tips of the inner terminal portions to each other, has a thickness of 0.05 mm corresponding to that of the thinner portion. This connecting portion has a structure capable of allowing an easy punching thereof in the fabrication of the semiconductor device, as described

hereinafter. Although the outer terminal portions 202 have a ball shape in the illustrated embodiment, they are not limited to this shape. Also, although the lead frame has been described as being made of the 42 ALLOY, it is not limited to this material. For the lead frame, a copperbased alloy may be used.

5

10

15

25

Now, fabrication of the lead frame according to the illustrated embodiment will be described in brief. Fig. 4 illustrates a process for fabricating the lead frame according to the illustrated embodiment. First, a lead frame blank 300 having a thickness of 0.2 mm was prepared which is made of a 42 ALLOY (an Fe alloy containing 42% Ni). The prepared lead frame blank 300 was then subjected to a cleaning process, thereby removing grease from the surfaces thereof (Fig. 3a). Subsequently, photoresist films 301 were coated over both surfaces of the lead frame blank 300, respectively. The coated photoresist films 301 were then dried (Fig. 3b).

Using desired pattern plates, the photoresist films

301 on both surfaces of the lead frame blank 300 were
exposed to light at their desired portions. A developing
process was then conducted to the light-exposed photoresist
films 301, thereby forming photoresist patterns 301A.

For the photoreist films, a negative liquid-phase resist (PMER resist) manufactured by Tokyo Ohka Co., Ltd.

was used. Using the resist patterns 301A as anti-etch films, the lead frame blank 300 was subjected to a spray etching process at both surfaces thereof. The spray etching process was conducted using a ferric chloride solution of 48 BAUME at 57 °C. Thus, a lead frame having a structure of Fig. 2a was obtained (Fig. 3d). Fig. 2a is a plan view of the lead frame. Fig. 2b is a cross-sectional view taken along the line A1 - A2 of Fig. 2a. Thereafter, the remaining photoresist thin films were peeled off. The resulting structure was then subjected to a cleaning process. A gold plating process was subsequently conducted for desired portions of the lead frame, that is, regions including inner terminal portions (Fig. 3e).

5

10

25

In the fabrication process of the lead frame, the 15 etching process was conducted with a large etch depth at one major surface of the lead frame blank where outer terminal portions are to be formed, and with a small etch depth at the other major surface of the lead frame. place of the gold plating, silver or palladium plating may 20 be utilized. The above mentioned lead frame fabrication process is adapted to manufacture a single lead frame required for the manufacture of a single semiconductor device. In terms of productivity, however, the etching process is conducted for lead frame units corresponding to the single lead frame shown in Fig. 2. To

this end, a frame member (not shown) is provided at a desired portion of the peripheral edge of the lead frame so as to connect a desired part of the outer frame portion 205 shown in Fig. 2 to a corresponding one of an adjacent lead frame.

5

10

15

20

Using the lead frame fabricated as mentioned above, the resin encapsulated semiconductor device according to the present invention was fabricated. Now, a method for fabricating the resin encapsulated semiconductor device in accordance with an ambodiment of the present invention will be described. Fig. 4 illustrates the method for fabricating the resin encapsulated semiconductor device in accordance with the embodiment of the present invention. A polyimide-based thermosetting insulating adhesive (tape) 401 (HM122C manufactured by Hitachi Chemical Co., Ltd.) was applied to one surface, formed with the outer terminal portions 402, of the lead frame 400 fabricated as in Fig. 3 and the outer surface of the lead frame 400 using a hot pressing process conducted at 400 °C and 6 Kg/m^2 for 1.0 second Fig. 4a). The resulting structure is shown in Fig. 5 which is a plan view. Thereafter, the connecting portions 403 connecting facing tips of the inner terminal portions were punched using punching dies 405A and 405B (Fig. 4b). Also, portions of the insulating adhesive

(tape) corresponding to those connecting portions 403 were punched (Fig. 4c)

Subsequently, unnecessary portions of the lead frame including the outer frame 404 were cut off using outer frame punching and pressing dies 406A and 406B (Fig. 4d). The lead frame was then bonded to a semiconductor chip 407 at its leads 410 under pressure while applying heat (Fig. 4e).

5

10

15

20

The process for cutting off the unnecessary portion of the lead frame including the outer frame 404 supporting the entire portion of the lead frame along with the connecting lead portion, as shown in Fig. 4d, may be carried out after an resin encapsulating process. In this case, dam bars (not shown) are preferably provided, as in QFP packages typically using a lead frame having a single layer structure. After the mounting of the leads 410 on the semiconductor chip 411, the inner terminal portion 410 of each lead 410 was electrically connected to an associated one of terminals (pads) 411A of the semiconductor chip 411 (Fig. 4f).

Subsequently, an epoxy-based resin 415 was molded to encapsulate the resulting structure while exposing the outer terminal portions 410B of the leads 410 using a desired mold (Fig. 4g).

Although a specific mold (not shown) was used for the above process in the illustrated case, use of such a die may be unnecessary in so far as the resin encapsulating process can be conducted under the condition in which desired portions (outer terminal portions) of the lead frame are left. Thereafter, a solder paste was coated on the exposed outer terminal portions 410B in accordance with a screen printing process, thereby forming outer electrodes 416 made of solder (paste). Thus, the fabrication of the resin encapsulated semiconductor device according to the present invention was achieved (Fig. 4h).

Although the formation of the outer electrodes 416 made of solder has been described as being achieved using a screen printing process, it may be achieved using a reflow or bonding process in so far as an amount of solder required for a connection of the semiconductor device to a circuit board is obtained.

(EFFECTS OF THE INVENTION)

5

10

15

As apparent from the above description, the present invention makes it possible to increase the occupancy degree of a semiconductor chip in a semiconductor package in situations requiring new resin encapsulated semiconductor devices having a highly integrated structure while exhibiting a high performance. The present invention

also makes it possible to reduce the area of the semiconductor device on a circuit board in order to cope with a compactness of the semiconductor device. That is, the present invention can provide a semiconductor device capable of achieving an improvement in the mounting density on a circuit board. At the same time, the present invention can provide a resin encapsulated semiconductor device having a new multipinned structure which could not be realized in compact packages such as conventional TSOPs.